

DesignCon in Santa Clara:

Aktuelle Probleme bei der Systementwicklung – ein Überblick

Die DesignCon in Santa Clara zeigte dreieinhalb Tage lang in Vorträgen alle wichtigen Aspekte rund um die Chip-Entwicklung. Etwa 100 Vorträge deckten einen breiten Bereich von Halbleiter-Entwicklungen und Test ab; an zwei Nachmittagen konnten die über 4000 Konferenzteilnehmer im Ausstellungsbereich mit Vertretern von mehr als 120 Firmen diskutieren. In einem separaten Bereich waren Referenz-Designs aufgebaut und bildeten die Basis für Diskussionen über den Einsatz der Produkte und Werkzeuge.

Der größte Teil der Aussteller kam erwartungsgemäß aus den USA. Europa wurde durch einige französische und englische Firmen repräsentiert, aus Deutschland kam nur Infineon. Auf den Gängen waren einige deutsche Sprachketzen zu hören – von Teilnehmern und Vortragenden. Die interessantesten

ASICs zu gering, bieten modul-basierende Gate-Arrays die Lösung.

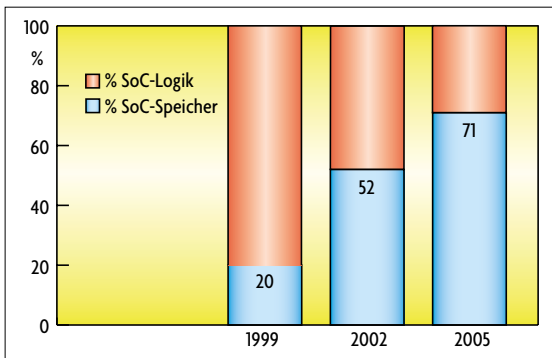
- Design und Synthese sind im Griff, aber die Verifikation bekommt einen immer größeren Stellenwert.
- Mit der Komplexität der Systeme steigt auch der ASIC-Prototyping-Aspekt: Das Zusammenspiel der einzelnen Blöcke mit der Software sollte verifiziert werden, bevor alles zusammen auf dem Chip integriert wird, damit sicher ist, dass keine Denkfehler übersehen wurden.

Embedded-RAM als Memory-IP auf der Basis von Standardlogik-Technologien entwickelt sich zum Schwergewicht. Es kann als Teil der ASICs bei Firmen wie TSMC oder UMC gefertigt werden, ohne dass spezielle DRAM-Prozesse erforderlich sind. Die Speicherdichte ist nicht so optimal wie bei den speziellen DRAM-Prozessen, aber nimmt man die Zahlen von MoSys, wird der Zuwachs an Embedded-Speicher den Prozentsatz immer mehr in Richtung Speicher verschieben, so dass Prozessor, Logik und I/O an Anteilen radikal verlieren. 1999 waren es 20 Prozent, 2002 dann 52 Prozent und 2005 soll der Speicheranteil beim SoC auf 71 Prozent anwachsen. Da mit schnellen Prozessoren und viel On-Chip-Speicher auch immer mehr Funktionalität in Software erledigt werden kann, ist dies nachvollziehbar. Bei solchen Designs kann dann nicht mehr der bekannte Sechs-Transistor-SRAM eingesetzt werden, sondern es sind dichtere Techniken notwendig, basierend auf DRAM. MoSys (Monolithic System Technology, www.mosys.com) liefert den kompletten Speicher kundenspezifisch als Hardcore. In der Vergangenheit wurden diese Speicherblöcke mit zusätzlichen redundanten Speicherbereichen geliefert, um die Ausbeute in der Fertigung zu erhöhen. Seit neuestem

wird davon abgegangen und über zusätzliche Logik eine transparente Fehlerkorrektur durchgeführt. Ein klarer Vorteil für die Zukunft: Bei dem Übergang zu 90 nm steigt das Risiko bezüglich der „Soft-Errors“. Mit ECC werden dadurch gleich zwei Fliegen mit einer Klappe geschlagen, zum einen werden die Fehler bei der Herstellung ausgeräumt, zum anderen haben Soft-Errors durch Strahlung keinen Einfluss

mehr, denn die könnten durch die alten redundanten Techniken nicht korrigiert werden. Das US-amerikani-

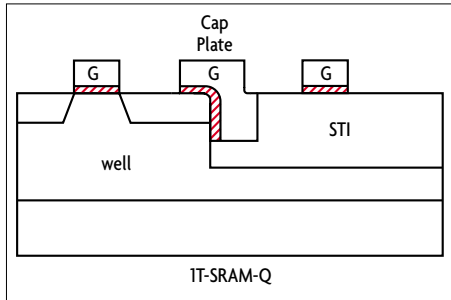
sche Unternehmen Leopard Logic (www.leopardlogic.com) mit Sitz in Cupertino, Kalifornien, ist einer der wenigen Anbieter von FPGA-IP, genannt Hyperblox. Hier wird ein neuer Weg gegangen, um Flexibilität in die Hardware zu integrieren: Statt spezieller Synthese- und Entwicklungstools, wie sie für andere Embedded-FPGAs notwendig sind, wird hier einfach ein bestimmter, vordefinierter Teil der Logik des SoC transparent auf einem Block FPGA-Logik abgebildet. Der Anwender bekommt sozusagen nur mitgeteilt, wie groß der erforderliche Block ist. Die Implementierung ist RAM-basierend, daher lässt sich auch nach der Fertigung des SoC die FPGA-Funktionalität einfach durch das Laden eines über Synthese neu erstellten Files umprogrammieren. Je nach Einstellung kann entweder die beste Gatter-Ausnutzung oder die schnellste Implementierung vorgegeben werden. Die Integration bei TSMC ist bereits im 180-nm-Prozess verfügbar, die 130-nm-Qualifikation ist in Arbeit. Im Augenblick können bis etwa 50 000 ASIC-Gatter mit Systemgeschwindigkeiten bis zu 400 MHz implementiert werden; die 50k ASIC-Gatter entsprechen je nach Zählweise bis zu 380k FPGA-Gattern. Serielle Busse werden immer attraktiver und sind bereits auf FPGAs implementiert. Serielle Datenströme ergeben sich automatisch in der Telekommunikation und werden immer mehr in anderen Applikationen eingesetzt, da das Routing auf dem Board und bei der Rückwand-Verdrahtung einfacher ist, ebenso spart die serielle Übertragung Pins bei den Chips. Die entsprechenden Hard-IPs und Tester waren ein weiteres Highlight auf der DesignCon. Hier zeigt sich auch eines der Probleme serieller Übertragung: Wird die optimale Lösung gesucht, kann es kein Standard sein; sol-



Der Speicheranteil beim SoC nimmt immer mehr zu. Bis zum Jahr 2005 soll er bereits 71 Prozent ausmachen.
(Quelle: SIA ITRS)

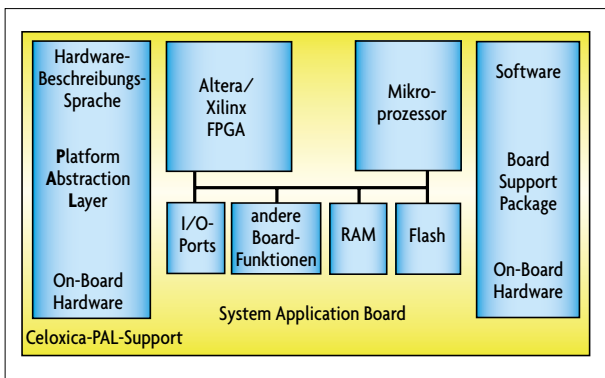
Aspekte der Aussteller reflektieren die aktuellen Probleme der Anwender für dieses Jahr:

- Immer mehr Funktionen werden als IP angeboten, als Soft-IP zur Synthese im eigenen Design oder als Hard-IP mit optimiertem Layout für maximale Taktfrequenz.
- Auf dem SoC wird in Zukunft immer mehr Embedded-Speicher zu finden sein, bei ASICs sollte dies Embedded-DRAM sein, der auch auf Standard-Logikprozessen gefertigt werden kann.
- Flexibilität auf dem SoC gibt es auf zwei Wegen: bei fester Hardware über die entsprechende Programmierung des Prozessors oder in der Hardware über zusätzlichen Embedded-FPGA.
- Parallele Busse auf dem Chip wie auch bei der Verbindung zur Außenwelt werden immer häufiger durch serielle Busse mit Gbit-Frequenzen ersetzt.
- Sind die FPGAs für das Prototyping zu langsam oder die Stückzahlen für



MoSys-DRAM-Zelle mit vierfacher Dichte, hergestellt mit Standard-Logikprozessen.

len viele verschiedene Produkte zusammenarbeiten, muss es einen geben. Der Halbleiter-Hersteller Fairchild Semiconductor (www.fairchildsemi.com) stellte eine Vierfach-Gbit-PHY vor. Vier komplette bidirektionale 8/10-bit-Serialiser/Deserialiser mit eigener PLL und elastischen Puffern bilden die Grundlage für ein Standardprodukt für serielle Punkt-zu-Punkt-Übertragung als Alternative zu parallelen Bussen, die sehr viel mehr Verdrahtungsaufwand erfordern. Damit ist auch der Übergang von Kupfer auf optische Übertragung vorbereitet. Ein Problem entsteht bei den schnellen seriellen Bussen: Die Daten müssen gemessen werden, um die Funktion zu verifizieren. Schnelle serielle Messgeräte, die das Augenmuster anzeigen, sind teuer. Hier bietet die in Lake Oswego, Oregon, ansässige TDA Systems (www.tdasystems.com) eine Lösung, die bei ausreichender Genauigkeit nur einen Bruchteil kostet.



Celoxica PAL – eine API zur schnellen Integration auf FPGAs und Standard-Boards.

Ein großes Thema war auch die IC-Verifikation. Die ASICs werden so komplex, dass das Problem nicht mehr darin besteht, diese zu entwickeln, sondern sicherzustellen, dass alle Timings auf dem Chip eingehalten werden. Mit der Anzahl der Gatter steigt der Verifikationsaufwand exponentiell. Dabei sind die Probleme nicht die Logikanteile, sondern zum Beispiel Zähler: Ein einfacher 16-bit-Zähler kann bereits 65 000 Zustände annehmen. Bei einer Komplexität von Millionen von Gattern braucht

der Entwickler viel Zeit, um eine entsprechende Teststrategie zu entwickeln, um mit Hilfe der Testvektoren eine ausreichende Fehlerabdeckung des ICs zu erreichen – und viele Testvektoren ergeben eine lange Testzeit beim Hersteller, und es wird teurer. Neue Ansätze setzen formale Techniken ein, um vorab das Design bezüglich der entsprechenden Aspekte zu beleuchten, Anbieter sind hier z.B. O-IN, Atrenta, @HDL und TNI-Valiosys, Axis, Prover.

O-IN stellte auf der DesignCon neue Assertion-basierende Produkte vor, mit deren Hilfe die Verifizierung 100-mal schneller ablaufen soll. Dabei werden Simulation, statische und formale Verifikation zur Verifizierung komplexer ASICs und SoCs kombiniert. Es geht darum, im Design-Prozess – ausgehend von der Spezifikation – die Fehler so früh wie möglich zu finden, um die Fehlerkosten möglichst niedrig zu halten und um eine Fehlerfortpflanzung zu verhindern, die noch teurer wird. Zwei Fragen sollten beantwortet werden: „Erfüllt das Design alle Anforderungen der Spezifikation?“ und „Sind alle Fehler gefunden, bevor die Herstellungsdaten an den Halbleiterhersteller geschickt werden?“.

Die beiden Unternehmen Lightspeed Semiconductor (www.lightspeed.com) und Chip Express (www.chipexpress.com) bieten Lösungen für einen anderen Design-Aspekt: ASICs werden wegen der hohen Maskenkosten nur ab einer entsprechenden Stückzahl interessant und bezahlbar. FPGA-Implementierungen haben zwar NRE-Kosten von Null, aber es werden nicht dieselben Systemfrequenzen wie bei ASICs erreicht, da die Verbindungen im FPGA länger sind und ein Logikblock eventuell als ein größerer FPGA-Bereich synthetisiert wird. Die neuen modulbasierenden Array-Technologien bilden hier eine Brücke. Durch die vorgefertigten Arrays sind z.B. nur noch drei Metallisierungen zu verdrahten – das spart Maskenkosten und Produktionszeit. Mit der neuen Luminance-Technologie von Lightspeed sind in einer 130-nm-Technologie Systemtakt-Frequenzen bis zu 700 MHz möglich, bei bis zu zehn Millionen ASIC-Gattern und zusätzlich 5 Mbit SRAM. Eingebaute Testlogik sorgt dafür, dass der Anwender sich gar nicht um die Generierung von Testvektoren kümmern muss. Zugriff auf alle internen Register ist mit Hilfe von Silicon-View über das JTAG Port möglich. Eine ganze Reihe von getesteten IP-Blöcken hilft, die Designzeit weiter zu verkürzen. Und wenn die Stückzahlen für eine ASIC-Implementierung interessant wer-

den, ist der Übergang zum SoC einfach – je nach Design eine bessere Lösung als ein FPGA.

Der europäische Anbieter Celoxica (www.celoxica.com) mit Hauptsitz im britischen Abington stellte seine Simulations- und Synthese-Software jetzt in einem anderen Zusammenhang vor: PAL als Integrationshilfe für FPGA-Boards. Es gilt, per Software nicht nur die internen FPGA-Ressourcen zu kontrollieren, sondern auf Standard-FPGA-Boards auch die externen RAMs, ROMs, I/Os und sonstigen ICs über den FPGA miteinzubeziehen, also wie beim Board Support Package (BSP) in der Software auch ein entsprechendes Package für die Hardware anzubieten. Das PAL (Hardware-BSP) kennt die On-Board-Hardware in Funktionalität, Speichergröße und Zugriffzeit. Der Anwender kann damit zum einen sein existierendes Design

Dieses Jahr kommt die DesignCon (www.designcon.com) auch nach Europa: vom 27. bis 30. Oktober 2003 im Münchener Sheraton-Hotel. Als offizieller Sponsor für München konnte bereits Infineon gewonnen werden. Damit wird die DesignCon im Herbst in Europa den Gegenpol zur DATE im März bilden, die dieses Mal ebenfalls in München stattfand.

schneller auf dem Board etablieren, zum anderen wird die Migration auf andere Boards erleichtert, ein wichtiger Aspekt, wenn die Funktionalität „über das Board“ hinauswächst. Da die Daten der Boards mit PAL-Support vorher festliegen, wird auch eine komplette System-Simulation unterstützt.

Aptix (www.aptix.com) zeigte am Beispiel einer ST-Implementierung, wie ein komplettes SoC als Kombination von verschiedenen Modulen getestet werden kann. Dabei können Standard-Produkte, Prozessoren, FPGAs, Bond-out-Chips und andere Hardware ein System bilden. Ein solcher Aufbau entspricht in seiner Taktfrequenz und dem Verhalten fast dem endgültigen ASIC, das verifiziert werden soll.

Insgesamt steigt die Komplexität der Systeme und benötigt entsprechende Lösungen: mehr Soft- und Hard-IP, denn durch den Einsatz bereits vorgefertigter und getesteter Funktionalitäten kann interne Entwicklungszeit gespart werden. Embedded-DRAM erlaubt den Aufbau komplexerer SoCs, serielle Busse zur Punkt-zu-Punkt-Kommunikation ergeben erhöhten Durchsatz im Vergleich zu parallelen Bussen. Mehr als 40 der DesignCon-Aussteller werden auch auf der DATE in München zu sehen sein.

Jürgen Pintaske/ro