



Embedded Systeme

Embedded-Entwicklungs-Tools

Bericht von der 40. DAC in Anaheim

Komplexe Designplattformen

Bei mehr als 220 Ausstellern und über 150 Vorträgen gab es auf der 40. DAC vom 2. bis 6. Juli in Anaheim viel Neues zu sehen.

Die Hauptthemen waren dieses Jahr: Reduzierung der Leistungsaufnahme, Verifikation, Virtual-Silicon-Prototyping, neue Wege vom Code zum Gatter und die Maskenkosten beim Wafer, wenn es zu immer kleineren Halbleitertechnologien wie 0,13 µm oder 90 nm geht.

In welche Richtung wird sich der Markt entwickeln: Mehr ASICs, ASSPs, Standardprodukte oder immer mehr Lösungen als FPGA? Die Designkosten werden bei der Entscheidung helfen: zuerst Chipentwicklung dann Chipherstellung mit dem richtigen Prozess und Maskenkosten. Bei DAC geht es zwar um die Designautomation, der Anwender braucht eine kostengünstige Lösung für sein gesamtes Projekt. Ein wichtiges Thema auf der diesjährigen DAC war deshalb der Einfluss der hohen Masken- und Entwicklungskosten auf die Designstarts – und damit verknüpft der Kauf

neuer Tools. 2002 wurden nur noch etwa 1500 ASIC-Designstarts durchgeführt, die Anzahl soll bis 2005 weiter auf 1200 fallen. Als Grund können die Maskenkosten für ASICs oder ein Redesign herangezogen werden, die damit oft der »Show-Stopper« sind: bei 0,8 µm waren es noch grob 50.000 Euro, bei 0,35 µm 500.000 Euro und bei 0,15/0,13 µm nähert man sich dann der Million Euro; der Grund sind Anzahl und Komplexität der Masken. Was sind die Alternativen? Standardchips, ASSPs (applikationsspezifische Standardprodukte) oder programmierbare Lösungen wie Prozessoren/DSPs und FPGAs in allen ihren Ausprägungen? »Structured ASIC« heißt ein neues Zauberwort, aber das gilt mehr für komplexe ASICs, die mit vordefinierten Funktionen schneller und mit weniger Masken entwickelt werden können. Aber es gibt auch andere Wege, oft nicht so bekannt, aber von Insidern bereits genutzt. Sind die Maskenkosten hoch, sollte man sie am Projektanfang vermeiden.

Von Mosis, Europractice und CMP wird als kostengünstige Route zum ASIC der Weg über Multiprojekt-Wafer angeboten. Diese werden meist nur als Quelle für

kostengünstige Prototypen betrachtet. Was nicht so bekannt ist: Auf dieser Route kann man zwar mit »40 ASICs für einige 1000 Euro« anfangen, aber große Stückzahlen sind ebenfalls möglich. Projekte bis zu etwa 100.000 Chips sind bereits erfolgreich gelaufen, wobei das Angebot an Technologien über diesen Weg von 1,5 µm bis herunter zu neuesten Technologien wie 0,13 µm oder 0,25 µm BiCMOS reicht (Bild 1). Auch die Foundries sind dieselben: zum Beispiel TSMC, UMC, austriamicrosystems und IBM. Der Chippreis ist sicherlich höher als mit der eigenen Maske von Anfang an, aber wieviel ist das reduzierte Risiko wert? Der Weg zu den ersten Samples ist sicherlich günstiger. Man kann nicht nur ohne Maskenkosten fertigen lassen, sondern es gibt auch kostengünstige Tools und Design-Kits. Hier geht es aber wohl mehr um einfachere bis mittlere Komplexität.

Tanner EDA bietet beispielsweise mit L-Edit PRO10 dazu ein entsprechendes kostengünstiges Tool, mit dem analoge, Mixed-Signal-ASICs und sogar MEMS entwickelt werden können. Der digitale Teil des ASICs wird extern synthetisiert und dann als Makro importiert. Dieser Ablauf gilt nicht nur für digitale Designs,

IP und Hardcores, sondern auch Mixed-Signal-IP von externen Herstellern kann importiert werden. Leda Systems hat zum Beispiel IP im Programm wie Bandgap, AD-Wandler, DA-Wandler, PLLs, Low-Power-Libraries, spezielle I/O-Zellen bis hin zum PCI-Express-PHY, insgesamt etwa 450 IP-Blöcke. Diese Hard-IPs können auch mit den Tanner-Tools im ASIC platziert werden. Es muss aber sichergestellt werden, dass die IP für den gewünschten Zielprozess verfügbar ist. Hyperstone bietet einen 32-Bit-RISC/DSP-Prozessor als direkt platzierbaren Hardcore an, der bei TSMC und UMC in verschiedenen Prozessen von 0,18 µm bis 0,5 µm verfügbar ist. Sollte der Hardcore nicht passen, kann eventuell auch der Softcore in VHDL eingesetzt werden. Damit kann auf diesem Wege auch ein komplexes ASIC mit 32-Bit-Prozessor und Mixed-Signal-Funktionen bei Stückzahlen zwischen 40 Muster und 250.000 Stück in Serienproduktion hergestellt werden.

Der Wunschtraum vieler Entwickler ist es, von der Spezifikation in einer Hochsprache ausgehend, die Applikation schnell zwischen Hard- und Software partitionieren zu können, um dann im FPGA zu verifizieren und dann fertig zu sein oder daraus ein ASIC zu entwickeln. Celoxica mit seinem Handel-C hat sich mit anderen Firmen zusammengetan, um eine möglichst breite Zielhardware ansprechen zu können. Damit ist mit DK1 neben der direkten Umsetzung der C-ähnlichen Sprache in Gatter für das FPGA und der Generierung von VHDL auch das Interface zu anderen Tool-Ketten möglich. Zusammen mit Aldec ist von der Simulation über die Synthese bis zum Prototyping in Hardware bereits ein schneller Weg gegeben. In Zusammenarbeit mit Elixent wird nicht mehr von C auf Gatter gemappt, sondern auf die D-Fabrix-ALUs, die wegen der besseren Granularität im Vergleich zum FPGA und der höheren lokalen Verbindungsdichte einen schnelleren Durchsatz bieten, beziehungsweise bei gleichem Durchsatz um ein Vielfaches weniger Strom brauchen.

AccelChip geht von der höheren Komplexität der Algorithmen aus und

generiert die Files für FPGAs und auch wieder für Elixent-D-Fabrix: Mathlab-generierte Software-IP (M-Files) kann direkt kompiliert werden. Viele Projekte in Automotive, Militär- oder Flugzeuganwendungen werden zuerst einmal mit Mathlab/Simulink simuliert. Es bestehen zwar schon Wege, diese Files dann auf TI-DSPs ablaufen zu lassen, aber die Implementierung in FPGAs ist durch die parallele Ausführung in Hardware schneller und nicht durch den sequenziellen Ablauf auf einem DSP limitiert. Bei großen Projekten können mehrere FPGAs auch einfacher verschaltet werden als es mit mehreren DSP-Systemen möglich wäre.

FDA geht bei der Synthese von ANSI-C aus und generiert daraus synthetisierbares VHDL/Verilog. Damit ist ein Software-/Hardware-Co-Design aufbauend

der Verifikation einen neuen Weg. Es wird durch das Tool bereits ganz am Anfang des Designs die Komplexität und das Zeitverhalten geschätzt. Es werden damit keine exakten Werte erreicht, sondern etwa 60 bis 80 Prozent Genauigkeit. Das reicht aber, denn Probleme werden sofort sichtbar und können gelöst werden. Tera Logic hat eine ähnliche Lösung, geht aber noch einen Schritt weiter. Oft liegt das Problem des Timings nicht mehr nur in der Logik, sondern auch in der Verdrahtung der einzelnen Blöcke auf dem Chip. Die Logik wird bei Tera nicht als Funktion von Gattern interpretiert, sondern in spezielle Logikkacheln umgesetzt, die zum einen eine grobere Granularität ergeben, zum anderen aber die Verdrahtung sehr stark mit einbeziehen. Auch hier werden Probleme sehr früh sichtbar,

und die Designer können noch an der Spezifikation arbeiten, bevor die Korrekturschleife lang und teuer wird. Jasper geht bei der Verifikation das Problem der »State Explosion« an. Je mehr Zustände es gibt, desto schwieriger – oder unmöglich – wird es, alle Möglichkeiten zu verifizieren. Es gilt, schnell zum Problem zu finden, um es dann zu

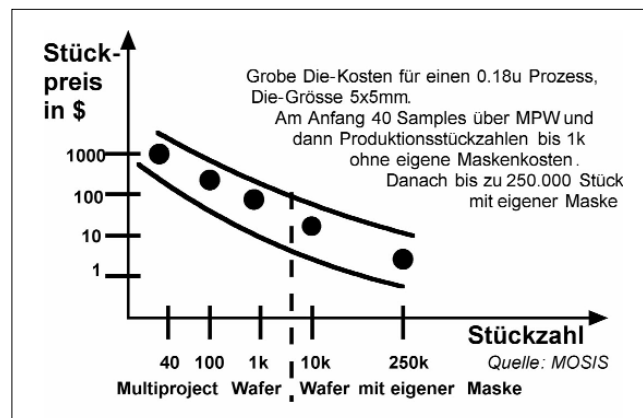


Bild 1. ASIC-Design und Fertigung aus Kosten- und Risikogründen zuerst über MPW, dann bei Erfolg Übergang zur eigenen Maske

auf einer C-Simulation möglich. Im Gegensatz zu Celoxica und AccelChip kann der Entwickler nach der Umsetzung von C in VHDL oder Verilog seinen bekannten Designflow einsetzen. Vorteil: Der große Umfang an bereits vorhandener C-Software und Algorithmen kann in eigenen Projekten eingesetzt werden. Ein weiterer Pluspunkt: Eine komplett simulierte und in C geschriebene Applikation wird schichtenweise in Hardware umgesetzt, bis die Ausführungsgeschwindigkeit stimmt. Damit ergeben sich neue Optimierungsmöglichkeiten.

Die Verifikation des Zeitverhaltens beim Chip wird mit steigender Komplexität immer wichtiger. Intime geht bei

korrigieren. Es ist auch nicht wichtig, alle möglichen Zustände der Logik zu betrachten und zu verifizieren, sondern nur noch die relevanten. Jasper verspricht, dass auf diese Weise 100 Prozent fehlerfreie Designs erreicht werden können. Vereinfacht gesagt wird jeder einzelne Subblock verifiziert und dann als 100 Prozent korrekt in die nächste Ebene eingebaut.

Je eher der erste Prototyp in Hardware läuft, desto schneller wird sichtbar, an welchen Stellen es bei der Software und Hardware noch hakt oder wo sich Laufzeitprobleme ergeben. ProDesign bietet hier in einem kleinen Gehäuse die Basis mit FPGA und den entsprechenden

Interfaces für kundenspezifische Tochterboards. Damit ist Rapid-Prototyping, Emulation in Hardware bis zum kompletten ASIC-Prototyping möglich. Bis zu 200 MHz Systemtakt sollen erreichbar sein. Das »ASIC in der Kiste« passt dann in einen Aktenkoffer und kann für den Einsatz im System oder vor Ort dupliziert und transportiert werden. Ähnliche Lösungen gibt es zum Beispiel von Hardi.

Das Wort »asynchrones Design« in Hardware und Software klingt einige Male an. Software im Prozessor läuft grundsätzlich seriell und asynchron ab – zum Beispiel wegen Branches oder Interrupts. Da bei immer mehr Systemen Software-/Hardware-CoDesign eingesetzt wird, ergibt sich automatisch ein asynchrones Gesamtsystemverhalten, das nicht nur auf die Hardware beschränkt ist und berücksichtigt werden muss. FTL Systems stellte VHDL-X vor, eine Kombination aus bekannten VHDL-Konstrukten und der etwas versteckt implementierten Umsetzungen in asynchrone Technologie basierend auf NCL von Theseus. Gerade wenn es um große Designs von einigen Millionen Gattern geht, kommt das Problem der Kommunikation zwischen den einzelnen Cores und Bussen immer stärker zum Tragen. Asynchrone Techniken, basierend auf Standard-VHDL, bieten hier sicher den besten Ansatz, um mehr Akzeptanz zu finden.

Ein Aspekt wird immer transparenter: Hat man die Werkzeuge für Simulation, Synthese, Placement/Routing gut »im Griff«, kann eigentlich nur noch an anderer Stelle Zeit oder Geld gespart werden. Das reicht vom Einsatz von IP-Blocks über bessere Verwertung der Spice-Daten bis hin zur Optimierung der Zusammenarbeit der oft an mehreren Orten verteilten Designer beziehungsweise Design-datenmanagement. Bei Concept Engineering mit SpiceVision PRO heißt das Zauberwort Visualisierung: Es gilt, schnell in der Schaltung kritische Pfade und Treiber sowie Lastkapazitäten zu finden, sie sich anzuschauen und zu verändern, einmal für die Originalschaltung als RTL, noch mehr aber für das Resultat von Place und Route. Die Spice-Files im Textformat

werden vom Tool automatisch in eine Schaltung umgewandelt, und man sieht plötzlich Transistoren und Kondensatoren und so weiter, gewinnt Übersicht und kann schneller optimieren. Der Ansatz hat sich als so gut erwiesen, dass diese und ähnliche Tools von Concept Engineering als OEM-Produkt bereits in vielen anderen Tools integriert sind. Eine Ausnahme bei EDA Tools: Concept Engineering ist ein deutsches Unternehmen. Von ClioSoft wurde SOS, ein Programm zum Designdatenmanagement und zur Revisionskontrolle präsentiert. Es gibt zwar keine genauen Zahlen an, aber wie viel Zeit geht eigentlich durch die vielen E-Mails, Meetings und die Kommunikation zwischen den einzelnen Beteiligten am Design verloren? Es sei hier nicht nur die Zusammenarbeit der einzelnen Entwickler erwähnt, sondern es gibt ja auch noch die Testgruppe, Verifikation, Treiber, und das Management. In diesem Bereich bietet ClioSoft mit SOS ein Produkt für die Hardwaredesigner. Das komplette Design mit allen Files und Verzeichnissen ist zu jedem Zeitpunkt von allen zugreifbar. Der Projektstatus ist damit transparenter, die Projektleitung kann gezielter helfen.

Die Geburt eines hoffentlich »guten Geistes« wurde auf der DAC bekanntgegeben, das SPIRIT-Konsortium. Die sieben Gründungsfirmen sind: Philips, ST, Cadence, Mentor, Synosys, ARM und Beach Solutions. Das Ziel: die Interfaces bei IP-Blöcken besser zu definieren, damit nicht jedesmal Anwender bei einem neuen ASIC Zeit und Kosten für Anpassungen tragen müssen – oder kurz: unnötige Reibungsverluste beim Chipdesign ausräumen. Die Gründergruppe besteht aus mindestens einem Marktführer im entsprechenden Bereich: Gerade im Consumer-Bereich muss es schnell gehen, deshalb sind Philips und ST dabei. Die erforderlichen Design-Tools sollten außerdem besser zusammenarbeiten, deshalb beteiligen sich Cadence, Mentor und Synopsys. Die ARM-Prozessor-IP mit ihrem hohen Marktanteil muss in Designs immer wieder mit existierenden oder neuen IP-Funktionen kombiniert werden. Hier ist

das »Sparpotenzial« besonders hoch. Beach Solutions EASI-Tools bieten Lösungen, die das Interface und die Verwaltung von Hard- und Software vereinfachen und bildet die Verbindungsebene. Die Slogan heißt vereinfacht und interpretiert: »Wenn wir als die Anwender von IP und als SPIRIT-Mitglieder eine reibungslose Implementierung erreicht haben, hat sich der Aufwand bereits durch wenige Projekte bezahlt gemacht.« Die entstehenden Standards werden in die EDA-Tools integriert – mit Vorteilen für alle. SPIRIT steht für Structure for Packaging, Integrating and Reusing IP within Toolflows.

Von den vielen Diskussionsforen auf der DAC sei nur eines kurz erwähnt. Es ging dabei um die Leistungsaufnahme, und zwar vom Gesamtansatz her. Die Problematik liegt darin, dass ein Design oft in zwei Schritte zerlegt wird: Spezifikation bis zum RTL und dann RTL bis zum Chip. Von daher werden die Definition der Blöcke und Gatter sowie deren Platzierung auf dem Chip auseinandergerissen. Eigentlich sollte es die Tool-Kette erlauben, möglichst früh die großen Funktionsblöcke zu platzieren, um anhand der Verdrahtung auf dem Chip Taktverhalten und Leistungsaufnahme abschätzen zu können – unabhängig von der zusätzlichen Komplexität des sich ergebenden Taktbaums. Ein weiterer Aspekt wurde damit klar: Mit vielen Bussen auf dem Chip kann deren Einfluss und Aufwand bei der Verdrahtung nicht mehr vernachlässigt werden – die Busse ergeben in sich als zusätzliche Chipfunktion, die separat durch ein Bus-Netzwerk implementiert werden muss, zum Beispiel mit MicroNetworks von Sonics. Zum Abschluss sei noch kurz ein anderer Geburtstag dieses Jahr erwähnt: das Western-Design-Center wird 25 Jahre alt. Vielen sicherlich nicht so direkt bekannt; das ändert sich schnell, wenn man den 6502 erwähnt. Als eines der ältesten Designhäuser bietet es bereits seit 1981 Silicon-IP an. Man hört selten etwas über diesen Prozessor, aber die 6502-IP lebt – auch heute noch – in vielen und auch neuen Embedded-Designs mit hohen Stückzahlen.

(Jürgen Pintaske, ExMark/pa)